

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-333992

(43)Date of publication of application : 20.11.1992

(51)Int.Cl.

G06F 15/82

G06F 9/38

(21)Application number : 03-133580

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.05.1991

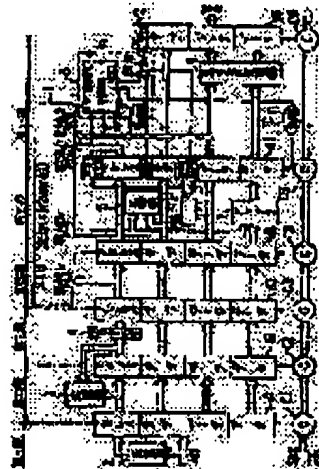
(72)Inventor : ASAI FUMYASU  
TSUBOTA HIRONO

### (54) DATA DRIVE TYPE COMPUTER

#### (57)Abstract

**PURPOSE:** To prevent packets from overflowing by generating a lot of copy packets at a program memory part concerning the data drive type computer with cyclic pipe line structure.

**CONSTITUTION:** A through flag 12 is provided at a pipeline path so as to inhibit a processing at each processing part and to pass input data as they are. A copy pending circuit 8 is provided to set the above-mentioned through flag 12 when the memory empty capacity of a matching memory part is detected, the memory empty capacity is less than a set value and a copy flag DCOPY of the packet shows copy generation. Thus, since the through flag 12 is set when the memory empty capacity of the matching memory part is less than the set value and the copy flag DCOPY of the packet shows the copy generation, the copy generation at the program memory part to this packet is temporarily stopped, and the packets are prevented from overflowing.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-333992

(43)公開日 平成4年(1992)11月20日

(51)Int.Cl.<sup>3</sup>G 0 6 F 15/82  
9/38

識別記号

3 7 0 A

庁内整理番号

9194-5L

8725-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号

特願平3-133580

(22)出願日

平成3年(1991)5月9日

(71)出願人 000008013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 浅井 文彦

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

(72)発明者 坪田 浩乃

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

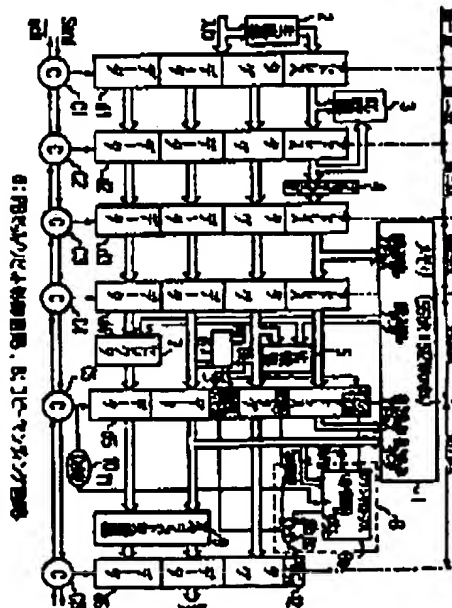
(74)代理人 弁理士 宮園 純一

(54)【発明の名称】 データ駆動形計算機

(57)【要約】

【目的】 巡回型パイプライン構造のデータ駆動形計算機において、プログラムメモリ部でのコピーパケットの大量発生によるパケットのあふれを抑制する。

【構成】 パイプライン経路に各処理部での処理を禁止して入力データをそのまま通過させるためのスルーフラグ12を設ける。マッチングメモリ部のメモリ空き容量を検知し、メモリ空き容量が設定値以下で、かつパケットのコピーフラグD C O P Yがコピー生成を示すとき上記スルーフラグ12をセットするコピーペンディング回路8を備える。これにより、マッチングメモリ部でのメモリ空き容量が設定値以下で、かつパケットのコピーフラグD C O P Yがコピー生成を示すときスルーフラグ12がセットされるので、このパケットに対するプログラムメモリ部でのコピー生成は一時的に中止され、パケットのあふれが抑制される。



(2)

特開平4-333992

## 【特許請求の範囲】

【請求項1】 パケット形式のデータに付属しているタグ情報の内、少なくとも行き先ノード番号が一致する2つのデータを検出して対生成を行い、対応するアドレスの内容の有効性を示すプレゼンスビットを無効化するマッチングメモリ部と、データに付属している行き先ノード番号を入力アドレスとしてメモリの内容を読み出し、読み出した内容に基づいてタグ情報の内、少なくとも行き先ノード番号と命令コードの更新を行うとともに、データに付属しているコピーフラグに基づき行き先ノード番号が複数あれば、それぞれのノード番号に対してコピーによるパケットの連続発生を行うプログラムメモリ部とを有する巡回型パイプライン構造のデータ駆動形計算機において、パイプライン経路に各処理部での処理を禁止して入力データをそのまま通過させるためのスルーフラグを設けるとともに、マッチングメモリ部のメモリ空き容量を検知し、メモリ空き容量が設定値以下で、かつパケットのコピーフラグがコピー生成を示すとき上記スルーフラグをセットするコピー一時中止手段を備えたことを特徴とするデータ駆動形計算機。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、巡回型パイプライン構造を持ち、データ依存関係に従って並列に命令実行を行うデータ駆動形（データフローとも呼ばれる）計算機に関するものである。

【0002】

【従来の技術】 この種のデータ駆動形計算機としては、図6に示すようなデータ駆動形マイクロプロセッサが既に本出願人により提案されている（特開平3-40981号、平成3年2月12日出願）。図7のプログラム（データフローグラフ）を実行する場合について、その動作を説明する。外部から入出力インターフェース部IFを経由して入力されたパケットは、図8に示されているように、行き先プロセッサ番号（PE#）「1」、制御情報（SEL-CODE）、命令コード（OPC）「+」、行き先ノード番号#1、左データ「I」を含んでいる。制御情報SEL-CODEのうち、PAIRはマッチングメモリで発火（対生成）処理をするか否か、IMはデータメモリからオペランド（被演算データ）の読み出しを行うか否か、I/O（Oは反転、以下バーと記す）は演算終了後プロセッサ内で継続処理するか否か、VECTはベクトル演算対象データであるか否か、L/Rは発火処理以前に左データ位置に格納されているデータが2項演算の左データとなるデータであるか否か、COPYは行き先ノードにコピーがあるか否か、すなわちプログラムメモリ部PMでコピーパケットを生成するか否かを示している。

【0003】 外部から入力されたパケット「I」は、入出力インターフェース部IFを経由してマッチングメモ

リ部MMに到るが、図8（a）に示すように、SEL-CODEのIMフラグが「1」であるため、2項演算の相手のデータはデータメモリ部DMから読み出すものと解釈されて何も処理されずにデータメモリ部DMに送られる。データメモリ部DMにおいては、IMフラグが「1」であるため、パケットの右データ位置に格納されている値「n」に相当するアドレスに記憶されているデータが読み出され、「n」の代わりに右データ位置に格納される。

【0004】 データメモリ部DMからは、演算部FALUとプログラムメモリ部PMに同時にパケットが送出される。演算部FALUでは、命令コード「+」に従って2項演算が実行され、結果データがパケットの左データ位置に格納される。

【0005】 一方、プログラムメモリ部PMでは、パケットの行き先ノード番号「#1」に従ってプログラムメモリの読み出しが行われ、次の行き先ノード番号「#2」、次の命令コード「×」、次の制御情報などが読み出されてパケット中の相当部分が更新される。なお、コピーフラグCOPYが「1」で行き先ノード番号が複数あれば、それぞれのノード番号に対してコピーによるパケットの連続発生が行われる。

【0006】 演算部FALU、およびプログラムメモリ部PMで更新されたこれらの情報は、コピー部KCOPYで連結併合され再び入出力インターフェース部IFに送られる。コピー部KCOPYでは、1つのノードの演算結果に対して複数の行き先ノードが存在するような場合に、演算結果データのコピーが行われ、プログラムメモリ部PMで読み出された複数のタグ情報に付与されて、同一の結果データをもつ複数のパケットが出力される。

【0007】 この演算結果パケットが入出力インターフェース部IFを経由して再びマッチングメモリ部MMに到着したとき、すでにデータ「J」をもつパケット（図8（b）参照）がマッチングメモリ部MMに到着して格納されていれば、これら2つのパケットの行き先ノード番号が何れも「#2」であることから、発火処理が行われ、2項演算のためのパケットが生成される。このとき、対応するアドレスの内容の有効性を示すプレゼンスビットを無効化する。一方、相手となるパケットが到着してあれば、マッチングメモリ部MMにおいて相手パケットの持ち合わせを行う。マッチングメモリ部MMで生成された前記パケットは、IMフラグが「0」であることから、データメモリ部DMを通過し、演算部FALUとプログラムメモリ部PMに送られる。演算部FALUでは乗算が実行される。また、プログラムメモリ部PMでは、次のタグ情報が読み出され、図8（c）に示すようなパケットに付与される。これらの情報は、コピー部KCOPYで連結併合された後インターフェース部IFに送られるが、図8（c）に示されているようにSEL-

(3)

特開平4-333992

CODEのI/パーオフラグが「0」であることから外部に出力される。

【0008】以上説明したように、2つの入力を受け入れたプログラム（データフローグラフ）は、所定の処理を完了し、結果をバケットの形で出力する。

【0009】

【発明が解決しようとする課題】この種のデータ駆動形計算機は以上のように構成され、プログラムメモリ部PMでは、前述したように、タグ情報の更新の際に行き先ノード番号が複数あれば、それぞれのノード番号に対してコピーによるバケットの連続発生を行う。また、バケットはマッチングメモリ部MMで待ち合わせを行ない、待ち合わせの完了しないバケットはマッチングメモリ部MMに格納される。しかし、コピーバケットの大量発生等により、マッチングメモリ部MMの容量を超えて待ち合わせの完了しないバケットが生じた時には、これらあふれたバケットが巡回パイプライン上にスルーバケットとして出力されるので、パイプライン上のバケット数が増大して、デッドロックを起こす問題点があった。

【0010】これを解決するものとしては、マッチングメモリ部と同様の発火機能をもつバッファメモリをチップ外部に追加し、マッチングメモリ部であふれたバケットは巡回パイプライン上に出力せずに、上記発火機能をもつバッファメモリに逃避させるようにしたものが本出願人により既に提案されている。しかし、あふれたバケットを外部に逃避させることによって、プロセッサ外部とのバケット送受信回数が増加し、処理性能の低下を招く問題点があった。

【0011】本発明は上記のような問題点を解決するためになされたもので、コピーバケットの大量発生によるバケットのあふれを抑止することができるデータ駆動形計算機を実現することを目的とする。

【0012】

【課題を解決するための手段】本発明に係るデータ駆動形計算機は、バケット形式のデータに付属しているタグ情報の内、少なくとも行き先ノード番号が一致する2つのデータを検出して対生成を行い、対応するアドレスの内容の有効性を示すプレゼンスビットを無効化するマッチングメモリ部と、データに付属している行き先ノード番号を入力アドレスとしてメモリの内容を読み出し、読み出した内容に基づいてタグ情報の内、少なくとも行き先ノード番号と命令コードの更新を行うとともに、データに付属しているコピーフラグに基づき行き先ノード番号が複数あれば、それぞれのノード番号に対してコピーによるバケットの連続発生を行うプログラムメモリ部とを有する巡回型パイプライン構造のデータ駆動形計算機において、パイプライン経路に各処理部での処理を禁止して入力バケットをそのまま通過させるためのスルーフラグを設けるとともに、マッチングメモリ部のメモリ空き容量を検知し、メモリ空き容量が設定値以下で、かつ

バケットのコピーフラグがコピー生成を示すとき上記スルーフラグをセットするコピー一時中止手段を備えたものである。

【0013】

【作用】本発明においては、マッチングメモリ部でのメモリ空き容量が設定値以下で、かつバケットのコピーフラグがコピー生成を示すときスルーフラグがセットされるので、このバケットに対するプログラムメモリ部でのコピー生成は一時中止され、パイプラインの各処理部をスルーバケットとして巡回する。この間にマッチングメモリ部で他のバケットの対生成処理が行なわれて、メモリ空き容量が設定値以上になるとスルーフラグがリセットされるので、当該バケットに対するプログラムメモリ部でのコピー生成が行なわれる。従って、コピーバケットの大量発生によるバケットのあふれを抑止することができる。

【0014】

【実施例】以下、本発明の一実施例を図について説明する。図1は本発明におけるマッチングメモリ部MMの一実施例を示すブロック図である。前述したようにマッチングメモリ部MMでは、二項演算に必要な2つのオペランドの対を生成して出力する。つまり、入力バケットのタグ情報から計算したメモリ上の待ち合わせアドレスに先に到着したバケットのオペランドを格納しておき、同一のタグ情報をもつバケットが到着した時に演算可能な実行バケットを生成する。マッチングメモリ部MMでは、この待ち合わせメモリとしてハッシュメモリ等が用いられ、そのアドレスの生成には、入力バケットのタグ情報の行き先ノード番号等が用いられる。

【0015】マッチングメモリ部MMは、図示のように6段のパイプラインステージに分割されている。各ステージにおける従来の処理は次のようになっている。

第一段：アドレスの生成

第二段：アドレス比較によるメモリ的事前適合検知

第三段：①アドレスのブリデコード

②メモリの事前適合回避

第四段：メモリの読み出し

第五段：①メモリ読み出し結果と入力バケットのタグ情報の比較

②右オペランドの選択（入力バケット／メモリ読み出しデータ）

③第六段の処理の決定（メモリへの書き込み／メモリ読み出し結果と対生成）

第六段：①第五段での決定結果によるメモリ書き込みの実行（対生成の場合にもプレゼンスビットPBへの“0”書き込みが行なわれる。

②左右オペランドの交換

【0016】図1に示すように、マッチングメモリ部MMは、待ち合わせメモリ1、各パイプライン段間に設けられたデータラッチd1～d6及び自己同期型のデータ

(4)

特開平4-333992

5

転送制御回路(C素子) c1~c6、アドレス生成器2、アドレス比較器3、プリデコーダ4、タグ比較器5、PB(プレゼンスビット)セット/リセット制御回路6、セレクト7、コピーペンディング回路8、オペランド交換器9、遅延回路10及びその他の論理回路で構成されている。ここで、PBセット/リセット制御回路6、コピーペンディング回路8及び遅延回路10は、本実施例を実現するための構成要素であり、他は従来と同様なものである。入力データは、左の入力部よりバケット形式で入力される。各データ転送制御回路c1~c6は、隣接する回路間でやり取りされるデータ転送制御信号に基づき、対応するデータラッチd1~d6にラッチ制御信号を出力する。ラッチされる内容には、アドレス、タグ、データ等があり、アドレスは、待ち合わせメモリ1をアクセスするためのアドレスで、入力バケットのタグ情報に含まれる行き先ノード番号等により生成される。タグは入力バケットのタグ情報が、データはオペランド情報がそれぞれ入力される。なお、データの上側の経路には左オペランドが、下側の経路には右オペランドがそれぞれ入力される。入力されたデータは、左から右へとデータラッチd1~d6間をデータ転送制御回路c1~c6により順次転送されつつ処理が施されていく。データラッチとデータラッチに挟まれた部分が各パイプラインステージの1段分に相当し、データラッチ間を転送される間にそのステージでの処理が実行される。

【0017】PBセット/リセット制御回路6は、比較器5で入力バケットのタグとメモリ読み出しデータのタグを比較した結果BQ(一致のとき“1”、不一致のとき“0”)とメモリ読み出しデータに含まれるプレゼンスビットPBとに基づき、図2に示す真値表に従って新プレゼンスビットPBとカウンタインエーブル信号を出力する。プレゼンスビットPBは、データが有意のとき“1”、有意でないとき“0”となり、カウンタインエーブル信号は、カウント許可のとき“1”、カウント禁止のとき“0”となる。これらの信号及び比較結果BQをインバータ11を介して反転したタグ不一致フラグはデータラッチd5に一括ラッチされる。

【0018】一方、本圖のコピー一時中止手段に相当するコピーペンディング回路8は、初期値設定可能なアップ/ダウンカウンタ8aとANDゲート8bとORゲート8cとにより構成され、アップ/ダウンカウンタ8aのカウンタインエーブル端子とUP/DOWN端子には前述したカウンタインエーブル信号と新プレゼンスビットPBが入力され、カウンタインエーブル信号が“1”のときカウント動作を行ない、新PBが“1”のときカウントアップ、“0”のときカウントダウンする。また、初期設定時には、メモリ空き容量の設定値に基づく初期値がデータバスを介して設定される。カウント動作は、データ転送制御回路c5からのラッチ制御信号を遅延回路10で一定量遅延したタイミング信号T1に従って行

6

なわれ、メモリ空き容量が設定値以下になると、キャリアアウト端子が“1”となり、このキャリアアウト信号がANDゲート8bの一端に入力される。ANDゲート8bの他端には、入力バケットに含まれ当該バケットがプログラムメモリ部PMでコピー生成を行なうとき“1”となるコピーフラグDCOPYが入力されており、各入力が“1”のとき、すなわちメモリ空き容量が設定値以下で、かつバケットのコピーフラグDCOPYがコピー生成を示すとき、このANDゲート8bの出力が“1”となり、この出力はORゲート8cの一端に入力される。ORゲート8cの他端には前述したタグ不一致フラグが入力されている。12は、プロセッサ内の各処理部での処理を禁止して入力バケットを素通りさせるために、パイプライン経路に新たに設けられた1ビットのスルーフラグであり、前記ORゲート8cの出力が書き込まれることにより、メモリ空き容量が設定値以下で、かつバケットのコピーフラグDCOPYがコピー生成を示すとき、及びタグ不一致フラグがセットされているとき当該スルーフラグ12がセットされる。

【0019】図3は、本プロセッサにおけるパイプライン構成の各処理部を示す概念図である。図において、31は処理部、32は入力バケットのタグ情報をデコードして入力バケットに対してここで処理を行うか否かを判定するデコーダであり、処理を行う場合はその旨を示すデコード結果を出力して処理部31を起動し、処理を行わない場合は処理部31での処理を禁止して入力バケットをスルーさせる。これらの処理部31、デコーダ32はパイプライン構成として従来より備えられているものである。一方、33は本実施例で処理部31、デコーダ32間に設けられたANDゲートであり、一方の入力端にはデコーダ32からのデコード結果が入力され、他方の反転入力端には入力バケットに付加されているスルーフラグが入力されており、スルーフラグが“1”にセットされているときは、ANDゲート33が開かず、デコーダ32のデコード結果如何にかかわらず、処理部31での処理が禁止され、入力バケットは何の処理も施されずに素通りする。

【0020】次に、図4、図5に示すフローチャートに基づき本実施例の動作について説明する。図4はマッチングメモリ部MMにおけるプレゼンスビットPBの操作、すなわちPBセット/リセット制御回路6に関する動作を示すフローチャートであり、前述したように、プレゼンスビットPBは、マッチングメモリ部MMに有意なデータが存在するとき“1”、有意なデータが存在しないとき“0”となり、比較結果BQは、入力バケットとメモリ読み出しデータのタグ情報が一致したとき“1”となる。まず、初期設定時、マスターリセットによりメモリ1の全アドレスのプレゼンスビットPBが“0”にリセットされる(ステップ41)。バケットが投入されると(ステップ42)、そのタグ情報から生成

(5)

特開平4-333992

7

されるアドレスのメモリ内容が読み出され、比較器5により入力バケットと読み出しデータのタグ部が比較され(ステップ43)、比較結果EQが出力される。次に、読み出しデータのプレゼンスビットPBが“1”か否かを判定し(ステップ44)、“1”でなければメモリ1の対応するアドレスに有意なデータがなく発火処理できないので、入力バケットをメモリ1に書き込むとともに、当該アドレスのプレゼンスビットPBに“1”を書き込み、カウンタインベリブル信号を“1”としてカウンタをカウントアップし(ステップ45)、ステップ42に戻る。一方、ステップ44でプレゼンスビットPBが“1”であれば、比較結果EQが“1”か否かを判定し(ステップ46)、“1”でそれぞれのタグ情報が一致していれば、当該アドレスのプレゼンスビットPBに“0”を書き込むとともにカウンタインベリブルを“1”としてカウンタをカウントダウンし(ステップ47)、オペランド対を生成してマッチングメモリ部MMより出力する(ステップ48)。一方、ステップ46で比較結果EQが“0”でそれぞれのタグ情報が不一致であれば、入力バケットをそのまま出力するとともに、カウンタインベリブルを“0”とし、タグ不一致フラグを“1”としてスルーフラグ12をセットし(ステップ49)、終了する。

【0021】図5はマッチングメモリ部MMにおけるコピーベンディング回路8の動作を示すフローチャートである。まず、初期設定時、コピーベンディング回路8に備えられたアップ/ダウンカウンタ8aにメモリ空き容量の設定値に応じた初期値を設定する(ステップ51)、マッチングメモリ部MMにバケットが入力され、メモリ読み出しが行なわれると(ステップ52)、PBセット/リセット制御回路6からの新PBが“1”か否かを判定し(ステップ53)、“1”であればアップ/ダウンカウンタ8aを「UP」に設定し(ステップ54)、カウントアップを行なう(ステップ55)。また、ステップ53で新PBが“0”であれば、アップ/ダウンカウンタ8aを「DAWN」に設定し(ステップ56)、カウントダウンを行なう。このようにしてカウンタアップまたはカウントダウンを行なった後、カウンタのキャリーアウトが“1”になったか否かを判定し(ステップ58)、“1”であれば更にコピーフラグCOPYが“1”であるか否かを判定し(ステップ59)、“1”であればスルーフラグ12を“1”にセットする(ステップ60)。一方、ステップ58でカウンタのキャリーアウトが“1”でないとき、またはステップ59でコピーフラグCOPYが“1”でないときは、スルーフラグ12を“0”にリセットする。

【0022】すなわち、コピーベンディング回路8は、カウンタインベリブル信号、新PBの値に従って、T1の立ち上がりタイミングとしてカウントし、カウントした結果、キャリーアウト信号が“1”のときスルーフラ

8

グ12を“1”にセットする。なお、PB=“1”、EQ=“0”の場合は、マッチングメモリ部MMに有意なデータが存在したが、タグが不一致になったときであり、このときもスルーフラグ12を“1”にセットする。スルーフラグ12が“1”となったバケットは、プログラムメモリ部PMを含む各処理部をスルーする。従って、プログラムメモリ部PMでは、コピーフラグCOPY=“1”で本来コピーバケットを生成するバケットであっても、スルーフラグ=“1”のバケットはコピーバケットを生成しない。このバケットのスルーフラグが“0”となるのは、マッチングメモリ部MMでの発火処理によりメモリ空き容量が設定値以上となって余裕ができたときであり、このとき初めてプログラムメモリPMでのコピー生成が行なわれる。これにより、コピーバケットの大量発生によるバケットのあふれが抑止され、あふれバケットが生じることによるデッドロックを回避することができる。また、外部にあふれバケットを過渡させるのに比べて処理性能が向上する。

【0023】

【発明の効果】以上のように、本発明によれば、パイプライン経路に各処理部での処理を禁止して入力データをそのまま通過させるためのスルーフラグを設けるとともに、マッチングメモリ部のメモリ空き容量を検知し、メモリ空き容量が設定値以下で、かつバケットのコピーフラグがコピー生成を示すとき上記スルーフラグをセットするコピー一時中止手段を備えたので、コピーバケットの大量発生によるバケットのあふれが抑止され、あふれバケットが生じることによるデッドロックを回避でき、また、外部にあふれバケットを過渡させるより処理性能が向上する効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例におけるマッチングメモリ部の構成を示すブロック図である。

【図2】図1におけるPBセット/リセット制御回路の入出力の真偽値表を示す図である。

【図3】本実施例におけるパイプライン構成の各処理部を示す概念図である。

【図4】本実施例におけるプレゼンスビットの操作を示すフローチャートである。

【図5】本実施例におけるコピーベンディング回路の動作を示すフローチャートである。

【図6】データ駆動形計算機の全体構成例を示すブロック図である。

【図7】データ駆動形計算機で実行するプログラム(データフローグラフ)の一例を示す図である。

【図8】データ駆動形計算機で図7に示すプログラムを実行した場合のバケットの交通を示す図である。

【符号の説明】

1 メモリ

5 PBセット/リセット制御回路

(6)

特開平4-333992

9

10

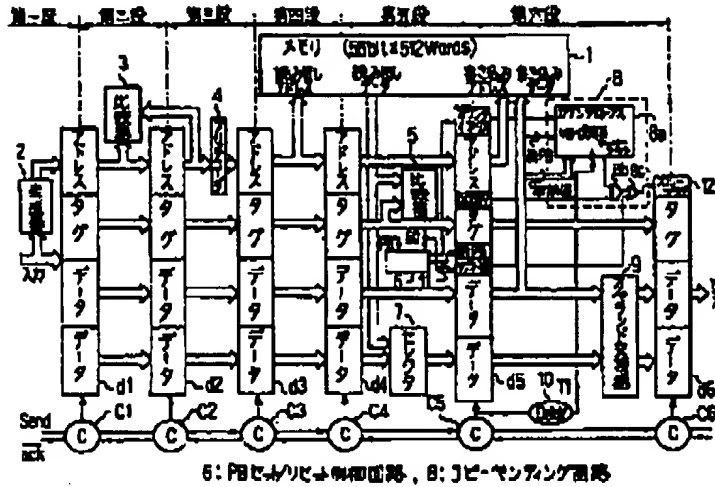
8 コピーペンディング回路(コピー時中止手段)

MM マッチングメモリ部

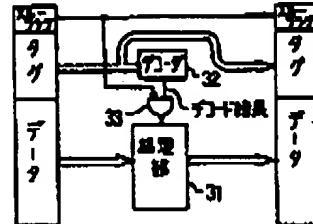
12 スルーフラグ

PM プログラムメモリ部

【図1】



【図3】

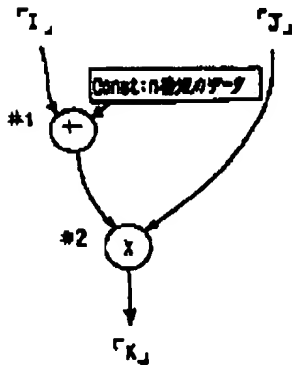


【図2】

| PB | EO | 進PB | カウンタ値 |
|----|----|-----|-------|
| 0  | 0  | 0   | 0     |
| 1  | 0  | 0   | 1     |
| 0  | 1  | 0   | 2     |
| 1  | 1  | 0   | 3     |

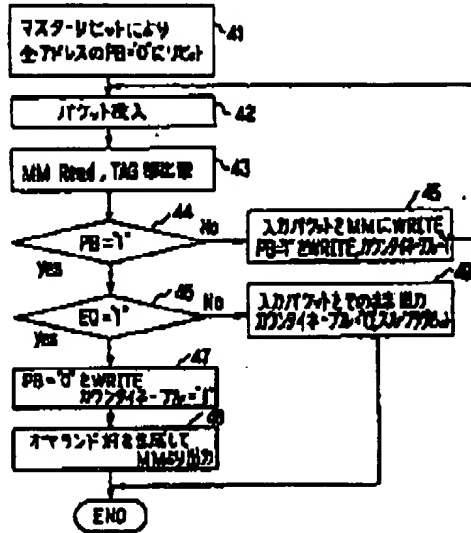
・カウンタ値 = 1 かつ許可  
= 0 禁止

【図7】



$(I + [n]) \times J \rightarrow K$  の演算のための  
データフロー

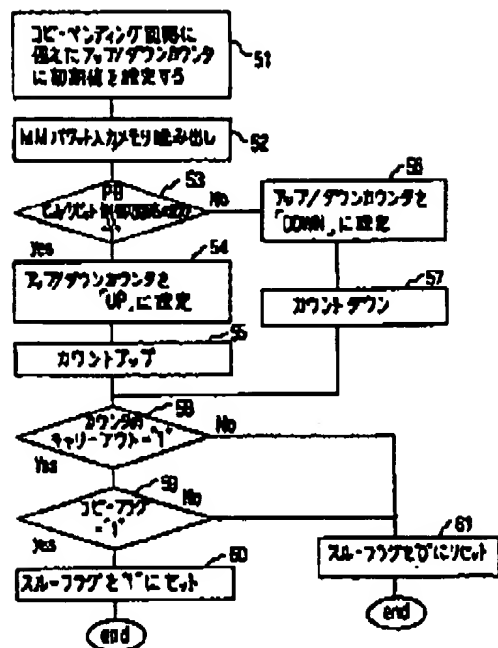
【図4】



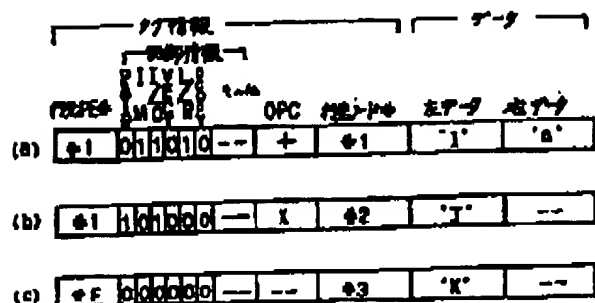
(7)

特開平4-333992

【図5】

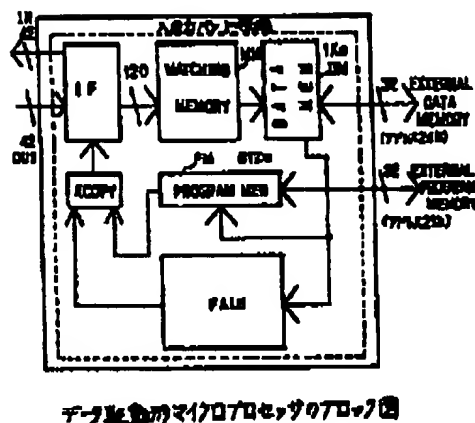


【図8】



--は任意 (don't care) を示す。  
パケット形式

【図6】



データ駆動型マイクロプロセッサのブロック図

## 【手続補正書】

【提出日】平成3年9月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図7において、外部から入力されたパケット「1」は、入出力インターフェース部1Fを経由してマッチングメモリ部MNに到着が、図8(a)に示すように、SEL-CODEのMフラグが「1」であるため、2項演算の相手のデータはデータメモリ部DMから読み出すものと解釈されて何も処理されずにデータメ



(8)

特開平4-333992

メモリ部DMに送られる。データメモリ部DMにおいては、IMフラグが「1」であるため、パケットの右データ位置に格納されている値「n」に相当するアドレスに記憶されているデータが読み出され、「n」の代わりに右データ位置に格納される。

【手続補正2】

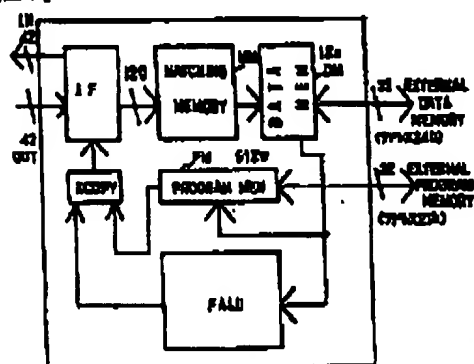
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



データメモリマイクロプロセッサブロック図